

ĐỀ CƯƠNG CHI TIẾT MÔN HỌC

1. Thông tin về môn học:

- [1] Tên môn học: **Thiết kế số với HDL**
Tên tiếng Anh: Digital Design with HDL
Mã môn học: [CE43201]

[2] Môn học thuộc khối kiến thức:

Kiến thức giáo dục đại cương				Kiến thức giáo dục chuyên nghiệp			
Khoa học tự nhiên		Khoa học xã hội		Cơ sở ngành		Chuyên ngành	
Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input checked="" type="checkbox"/>	Tự chọn <input checked="" type="checkbox"/>

- [3] Đối tượng sinh viên: (trình độ/ngành/năm học/học kỳ)
+ Trình độ: Đại học Cao đẳng Liên thông đại học
+ Ngành: Công nghệ kỹ thuật điện tử, viễn thông Khóa học: Áp dụng từ khóa 2021
+ Học kỳ (HK): 7 Năm học: 4
- [4] Số tín chỉ: 3[2.1.6]
Phân bổ thời gian:
+ Lý thuyết trên lớp (15 tiết/tín chỉ): ----- 30 tiết
+ Bài tập trên lớp (15 tiết/tín chỉ): ----- 15 tiết
+ Tự học, tự nghiên cứu: ----- 90 tiết
- [5] Yêu cầu của môn học về phòng học, trang thiết bị cần thiết để giảng dạy:
+ Phòng học: Phòng học lý thuyết
+ Phòng thi: Phòng thi lý thuyết
+ Tổ chức thi: Phòng Đào tạo tổ chức Khoa/Ban tổ chức
+ Trang thiết bị cần thiết: Bảng, máy chiếu, micro
+ Yêu cầu đặc biệt khác: Không
- [6] Các môn học liên quan (nếu có):
+ Môn học tiên quyết: Không
+ Môn học trước: Kỹ thuật số
+ Môn học song hành: Thực hành Thiết kế số với HDL
+ Môn học sau: Không

2. Thông tin về đơn vị phụ trách chuyên môn, giảng viên giảng dạy:

- [1] Khoa/Ban: Khoa Điện - Điện tử
Tổ bộ môn:
- [2] Giảng viên biên soạn đề cương:
+ Họ tên: Tống Văn On
+ Học hàm – Học vị: Giảng viên chính - Thạc sĩ
+ Địa chỉ cơ quan: 180 Cao Lỗ, Phường 4, Quận 8, TP. Hồ Chí Minh
+ Điện thoại liên hệ: 08 38505520
+ Hộp thư điện tử: on.tongvan@stu.edu.vn
- [3] Giảng viên phụ trách giảng dạy: -----
+ Học hàm – Học vị: -----
+ Địa chỉ cơ quan: -----
+ Điện thoại liên hệ: -----
+ Hộp thư điện tử (email): -----

- + Thời gian và địa điểm làm việc: -----
- [4] Giảng viên trợ giảng: -----
- + Học hàm – Học vị: -----
- + Địa chỉ cơ quan: -----
- + Điện thoại liên hệ: -----
- + Hộp thư điện tử (email): -----
- + Thời gian và địa điểm làm việc: -----
- [5] Cách liên lạc với giảng viên: Điện thoại; email

3. Mô tả tóm tắt nội dung môn học:

Nội dung của môn học cung cấp kiến thức về ngôn ngữ mô tả phần cứng HDL và cách thức sử dụng HDL để mô tả các thiết kế mạch tổ hợp, mạch tuần tự, máy trạng thái FSM và ASM.

4. Mục tiêu và kết quả dự kiến của môn học (CĐR)

[1] Mục tiêu của môn học:

Sinh viên sử dụng được ngôn ngữ mô tả phần cứng HDL để mô tả các thiết kế mạch tổ hợp, mạch tuần tự, máy trạng thái FSM và ASM.

[2] Chuẩn đầu ra môn học (CĐR):

- + CĐRa: Nắm vững các kiến thức trong nội dung môn học
- + CĐRb: Áp dụng các kiến thức đã học để giải quyết các vấn đề chuyên môn trong ngành học
- + CĐRc: Nghiêm túc, có trách nhiệm, có tinh thần tự học và tự mở rộng và nâng cao kiến thức

5. Quan hệ giữa chuẩn đầu ra môn học (CĐR môn học) và chuẩn đầu ra chương trình đào tạo (CĐR CTĐT):

[1] Ma trận tích hợp giữa CĐR môn học và CĐR CTĐT:

Chuẩn đầu ra Chương trình đào tạo	Chuẩn đầu ra môn học		
	CĐRa	CĐRb	CĐRc
<i>CĐR_A.01</i>			
<i>CĐR_A.02</i>			
<i>CĐR_A.03</i>			
<i>CĐR_A.04</i>	X		
<i>CĐR_A.05</i>	X		
<i>CĐR_B.01</i>			
<i>CĐR_B.02</i>			
<i>CĐR_B.03</i>		X	
<i>CĐR_B.04</i>			
<i>CĐR_B.05</i>			
<i>CĐR_B.06</i>			
<i>CĐR_C.01</i>			
<i>CĐR_C.02</i>			
<i>CĐR_C.03</i>			X

[2] Quan hệ giữa CĐR môn học và CĐR CTĐT:

CĐR môn học	Các hoạt động dạy và học (theo từng phần, chương, ...)	Phương pháp kiểm tra đánh giá (quá trình, giữa kỳ, cuối kỳ)		CĐR CTĐT
		Phương pháp	Tỷ trọng	
CĐRa	- Toàn bộ nội dung môn học	- Kiểm tra – thi	50%	CĐR_A.04, CĐR_A.05
CĐRb	- Bài tập	- Kiểm tra – thi	30%	CĐR_B.03
CĐRc	- Tự học. Thảo luận	- Kiểm tra kiến thức đã chuẩn bị và kiến thức mở rộng. Đánh giá trong quá trình làm bài tập tại lớp.	20%	CĐR_C.03

6. **Giáo trình và tư liệu:**

Tài liệu tham khảo chính:

- [1] Digital System Design with FPGA – Implementation Using Verilog and VHDL – Cem Unsalan & Bora Tar – Mac Graw Hill Education, 2017.
- [2] Introduction to Logic Circuits & Logic Design with VHDL – Brock J. LaMeres – Springer, 2017.
- [3] A Tutorial Introduction to VHDL programming – Orhan Gazi – Springer, 2019.
- [4] ASIC lập trình được – Tổng Văn On, Nhà xuất bản Thống kê, Nhà sách Minh Khai, 2004.
- [5] Lập trình ASIC – Tổng Văn On, Nhà xuất bản Thống kê, Nhà sách Minh Khai, 2005.
- [6] Thiết kế mạch số với VHDL và Verilog – Tập 1, 2 – Tổng Văn On, Nhà xuất bản Lao động và Xã hội, Nhà sách Minh Khai, 2006 & 2007.

7. **Phương thức đánh giá môn học:**

- [1] Yêu cầu chung của môn học theo quy chế:
 - + Sinh viên tham dự lớp học đầy đủ, tham gia thảo luận xây dựng bài trên lớp và chuẩn bị bài tập kỹ năng ở nhà để tự củng cố kiến thức cho bản thân;
 - + Sinh viên nghiêm túc thực hiện các yêu cầu của giảng viên đối với môn học;
 - + Sinh viên nghiêm túc thực hiện bài kiểm tra giữa kỳ và bài thi kết thúc môn học;
 - + Sinh viên vi phạm quy chế thi sẽ bị xử lý theo quy định.
- [2] Để hoàn tất môn học, sinh viên phải “đạt”:
 - + Điểm tổng kết môn học $\geq 5,0$ (năm) điểm theo thang điểm 10,0 (mười);
 - + Thực hiện đầy đủ các yêu cầu đánh giá môn học theo trọng số (%) của các điểm thành phần như sau:
 - Điểm quá trình: ----- chiếm 30 % (a)
 - Điểm kiểm tra giữa kỳ: ----- chiếm 20 % (b)
 - Điểm thi cuối kỳ: ----- chiếm 50 % (c)
 - Điểm tổng kết môn học: ----- (a) + (b) + (c) = 100%
 - + Xếp loại đánh giá của môn học: Theo thang điểm 10,0 điểm

Xếp loại	Thang điểm 10,0 điểm		Đáp ứng chuẩn đầu ra môn học
	Từ	Đến	
Loại đạt			<i>Đạt CĐR môn học theo cấp độ</i>
- Xuất sắc	09,0	10,0	
- Giỏi	08,0	< 09,0	
- Khá	07,0	< 08,0	
- Trung bình	06,0	< 07,0	
	05,5	< 06,0	
- Trung bình kém	05,0	< 05,5	

Xếp loại	Thang điểm 10,0 điểm		Đáp ứng chuẩn đầu ra môn học
	Từ	Đến	
Loại không đạt			<i>Chưa đạt CDR môn học, phải học lại</i>
- Yếu	04,0	< 05,0	
- Kém	03,0	< 04,0	
	00,0	< 03,0	

[3] Hình thức, nội dung, thời lượng và tiêu chí chấm điểm của các bài thi:

+ Bài kiểm tra giữa kỳ:

- Hình thức kiểm tra: ----- Tự luận
- Thời lượng: ----- 60 phút

Nội dung môn học	Câu hỏi/Nội dung đánh giá	Mức độ đạt của nội dung đánh giá			Điểm
		Bài tập cơ sở	Bài tập vận dụng	Bài tập nâng cao	
		Câu hỏi	Câu hỏi	Câu hỏi	
- Mã VHDL luồng dữ liệu	Mô tả mạch tổ hợp sử dụng mô hình luồng dữ liệu	1			2,0
- Mã VHDL cấu trúc	Mô tả mạch logic (tổ hợp + tuần tự) sử dụng mô hình cấu trúc	1			3,0
- Mã VHDL hành vi	Mô tả hệ tuần tự sử dụng mô hình hành vi Mô tả hệ logic bằng cách trộn các mô hình trong một kiến trúc	2			5,0
Tổng		4			10,0

+ Bài thi cuối kỳ:

- Hình thức thi cuối kỳ: ----- Tự luận
- Thời lượng: ----- 90 phút

Nội dung môn học	Câu hỏi/Nội dung đánh giá	Mức độ đạt của nội dung đánh giá			Điểm
		Bài tập cơ sở	Bài tập vận dụng	Bài tập nâng cao	
		Câu hỏi	Câu hỏi	Câu hỏi	
- FSM	Phân tích và thiết kế FSM	1			2,0
- Mã VHDL hành vi cho FSM	Mô tả FSM bằng VHDL	1			2,0
- Mạch tổ hợp với phát biểu process	Mô tả hệ tổ hợp sử dụng mô hình hành vi	1			2,0
- FPGA	Phân tích việc cài đặt một sơ đồ logic lên FPGA	1			2,0
- Thiết kế hệ logic tổng quát	Thiết kế và cài đặt một hệ logic lên FPGA	1			2,0
Tổng		5			10,0

[4] Tiêu chí đánh giá/chấm điểm cụ thể:

+ Tiêu chí chấm điểm đối với phần bài tập nhóm, bài tập về nhà:

- Giải bài tập theo nhóm phân câu hỏi mà nhóm phụ trách (thường nằm trong một chương);
- Thực hiện đầy đủ các yêu cầu đánh giá phần bài tập nhóm theo trọng số của các điểm thành phần như sau:
 - o Giải bài tập chi tiết: ----- 75%
 - o Nộp bài đúng hạn: ----- 25%

+ Tiêu chí chấm điểm đối với một câu hỏi thi viết:

Tiêu chí chấm điểm một câu hỏi	Kết quả	Trọng số
Phần trắc nghiệm:		100%
- Biện luận để đi đến kết quả	Biện luận đúng	50%
- Kết quả phân tích/thiết kế, kết quả mô tả và cài đặt	Kết quả đúng	50%
- Tổng		100%

8. Nội dung môn học (đề cương chi tiết của môn học):

Chương 1: Giới thiệu HDL (ngôn ngữ mô tả phần cứng)

- 1.1. Lịch sử phát triển của VHDL và Verilog
- 1.2. Các tính chất của VHDL và Verilog
- 1.3. Các luồng thiết kế của VHDL
- 1.4. Các mức thiết kế VHDL (VHDL đặc tả, VHDL tổng hợp, VHDL mô phỏng)
- 1.5. Các mức mô tả thiết kế (mức giải thuật, mức truyền thanh ghi RTL, mức công, mức mạch và mức vật lý) – Mô tả thiết kế mức truyền thanh ghi RTL.
- 1.6. Các nguyên tắc cơ bản của VHDL (chữ, tên, nhãn, khuôn dạng, chú thích, các chuẩn)
- 1.7. Thực thể (entity) của thiết kế (khai báo thư viện, khai báo thực thể và kiến trúc)
- 1.8. Các chế độ của port (IN, OUT, BUFFER, INOUT)
- 1.9. Kiểu dữ liệu STD_LOGIC
- 1.10. Các kiểu thiết kế của VHDL (mô hình luồng dữ liệu, mô hình cấu trúc và mô hình hành vi)
- 1.11. Các testbench (sơ đồ khối, phân tích, process trong testbench)

Chương 2: Mã VHDL luồng dữ liệu

- 2.1. Mô tả mạch tổ hợp sử dụng VHDL luồng dữ liệu
- 2.2. Phép gán tín hiệu đồng thời (toán tử logic, thứ tự ưu tiên của toán tử logic, phép nối dây, phép quay, phép dịch bit, thí dụ: mạch cộng đầy đủ)
- 2.3. Phép gán tín hiệu đồng thời có điều kiện (when-else) (toán tử quan hệ, thứ tự ưu tiên, thí dụ: mạch đếm 3-trạng thái)
- 2.4. Phép gán tín hiệu đồng thời có lựa chọn (with-select-when) (thí dụ: đơn vị thực hiện các phép toán logic MLU)
- 2.5. Tạo sơ đồ logic cho các phương trình logic (for-generate) (thí dụ: mạch kiểm tra chẵn lẻ)
- 2.6. Tổng hợp mạch tổ hợp
- 2.7. Bài tập
- 2.8. Số học có dấu và không có dấu (thư viện và hàm)

Chương 3: Mã VHDL cấu trúc

- 3.1. Thể hiện thành phần (component) (component, khai báo component, port map)
- 3.2. Thí dụ: một hệ logic trung bình bao gồm các mạch mux, mã hóa, giải mã và thanh ghi (mô tả từng thành phần, khai báo và gọi các thành phần, khai báo và gọi các thành phần có sử dụng package, kết nối các thành phần)
- 3.3. Thể hiện thành phần (component) với generic (generic map, port map)
- 3.4. Sơ đồ generate cho các thể hiện thành phần (component) (for-generate) (thí dụ: mạch ghép kênh 16 → 1 từ các mux 4 → 1)
- 3.5. Bài tập
- 3.6. Hằng số (constant)

Chương 4: Mã VHDL hành vi

- 4.1. Giới thiệu mã VHDL hành vi (tổng hợp được và không tổng hợp được)
- 4.2. Phát biểu process (phân tích một process, danh sách độ nhạy, phần khai báo, phần phát biểu, hành vi tuần tự của một process)
- 4.3. Các loại mạch chốt, flipflop
- 4.4. Generic
- 4.5. Các loại thanh ghi, thanh ghi dịch bit
- 4.6. Các loại mạch đếm
- 4.7. Các phát biểu VHDL hành vi (if, wait, wait until, wait on, wait for, case, for loop, while loop)
- 4.8. Testbench
- 4.9. Trộn các mô hình trong một kiến trúc.
- 4.10. Bài tập

Chương 5: FSM (máy trạng thái hữu hạn)

- 5.1. Mô hình FSM – FSM loại Moore và FSM loại Mealy

- 5.2. Phân tích FSM – Các bước phân tích – Thí dụ cho loại Moore và loại Mealy
- 5.3. Tổng hợp FSM – Các bước tổng hợp – Thí dụ cho loại Moore và loại Mealy
- 5.4. Trạng thái không sử dụng
- 5.5. Tối ưu hóa (mã hóa trạng thái, chọn flipflop)
- 5.6. Một vài thí dụ điển hình
- 5.7. Bài tập

Chương 6: Mã VHDL hành vi cho FSM

- 6.1. Viết mã cho FSM loại Moore (sơ đồ khối, các mẫu cho FSM loại Moore, các thí dụ minh họa, testbench)
- 6.2. Viết mã cho FSM loại Mealy (sơ đồ khối, các mẫu cho FSM loại Mealy, các thí dụ minh họa, testbench)
- 6.3. Mã hóa trạng thái – Sử dụng thuộc tính (attribute) và hằng số (constant) để gán trạng thái.
- 6.4. Mã VHDL hành vi cho ASM (máy trạng thái giải thuật) (diễn giải đặc tả thành giả mã, diễn giải giả mã thành ASM mức cao, thiết kế đường dữ liệu, giao diện mức đỉnh, thiết kế đơn vị điều khiển)
- 6.5. Thí dụ minh họa mã hành vi cho ASM điển hình
- 6.6. Bài tập

Chương 7: Mạch tổ hợp với phát biểu process

- 7.1. Mã VHDL hành vi cho mạch tổ hợp – Các lỗi phát sinh thường gặp
- 7.2. Thí dụ hàm đa số – Mã hành vi – Testbench – Dạng sóng – Lỗi
- 7.3. Thí dụ mux có dấu tùy định – Mã hành vi – Testbench – Dạng sóng – Lỗi
- 7.4. Thí dụ mã hóa ưu tiên – Mã hành vi – Testbench – Dạng sóng – Lỗi
- 7.5. Bài tập

Chương 8: FPGA và luồng thiết kế trên FPGA

- 8.1. Các thành phần của FPGA: CLB (các khối logic cấu hình được), IOB (các khối I/O), các khối RAM và mạch nhân, liên kết nối
- 8.2. Các nhà cung cấp chính
- 8.3. Cấu trúc của CLB – Logic cell – LUT – RAM – Thanh ghi dịch – Mux – Thanh ghi – Mạch logic điều khiển & số nhớ – Phần tử nhớ (chốt, flipflop)
- 8.4. Cấu trúc của IOB
- 8.5. Liên kết nối
- 8.6. Mạch phân phối clock
- 8.7. Giới thiệu các bo mạch mở rộng sử dụng FPGA
- 8.8. Luồng thiết kế trên FPGA: đặc tả thiết kế, mô tả VHDL, mô phỏng chức năng, tổng hợp, mô phỏng sau tổng hợp, thực hiện (translate, map, place&route, timing, configure), mô phỏng định thời, cấu hình lên FPGA, kiểm tra trên chip FPGA

9. Hình thức tổ chức dạy học:

[1] Hình thức tổ chức giảng dạy môn học:

Nội dung	Hình thức tổ chức giảng dạy môn học					Tổng cộng
	Giờ lên lớp			Thực hành	Tự học/ nghiên cứu	
	Lý thuyết	Bài tập	Thảo luận			
Chương 1	3				6	9
Chương 2	3	1			8	12
Chương 3	3	2			10	15
Chương 4	6	3			18	27
Chương 5	3	3			12	18
Chương 6	3	3			12	18
Chương 7	3	3			12	18
Chương 8	3				6	9
Kiểm tra giữa kỳ	1				6	9
Ôn tập	2					
Tổng	30	15			90	135

[2] Kế hoạch giảng dạy và học tập cụ thể:

Tuần	Tiết học	Nội dung chính	Yêu cầu sinh viên chuẩn bị	Hình thức tổ chức giảng dạy	Tài liệu tham khảo
Tuần 1	3	- Chương 1	- Đọc trước	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 2	3	- Chương 2	- Đọc trước	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 3	3	- Chương 2 - Chương 3	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 4	3	- Chương 3	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 5	3	- Chương 4	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 6	3	- Chương 4	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 7	3	- Chương 4	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 8	3	- Chương 5 - Kiểm tra giữa kỳ	- Đọc trước	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 9	3	- Chương 5	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 10	3	- Chương 5 - Chương 6	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 11	3	- Chương 6	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 12	3	- Chương 6 - Chương 7	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 13	3	- Chương 7	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 14	3	- Chương 7 - Chương 8	- Đọc trước - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính
Tuần 15	3	- Chương 8 - Ôn tập	- Tổng kết - Giải bài tập	- Dạy trên lớp	- Tài liệu tham khảo chính

10. Đề cương được biên soạn và cập nhật ngày:-----22/07/2021

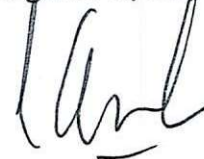
11. Đề cương được thẩm định và thông qua ngày:-----12/08/2021

Giảng viên biên soạn
(Ký và ghi rõ họ tên)



THS. Tống Văn On

Trưởng Khoa/Ban chuyên môn
(Ký và ghi rõ họ tên)



TS. Tăng Văn To