

## ĐỀ CƯƠNG CHI TIẾT MÔN HỌC

### 1. Thông tin về môn học:

- [1] Tên môn học: **Thực hành Thiết kế số với HDL**  
Tên tiếng Anh: Laboratory of Digital Design with HDL  
Mã môn học: [CE43202]

- [2] Môn học thuộc khối kiến thức:

Kiến thức giáo dục đại cương				Kiến thức giáo dục chuyên nghiệp			
Khoa học tự nhiên		Khoa học xã hội		Cơ sở ngành		Chuyên ngành	
Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input type="checkbox"/>	Tự chọn <input type="checkbox"/>	Bắt buộc <input checked="" type="checkbox"/>	Tự chọn <input checked="" type="checkbox"/>

- [3] Đối tượng sinh viên: (trình độ/ngành/năm học/học kỳ)  
+ Trình độ: Đại học  Cao đẳng  Liên thông đại học   
+ Ngành: Công nghệ kỹ thuật điện tử, viễn thông Khóa học: Áp dụng từ khóa 2021  
+ Học kỳ (HK): 7 Năm học: 4
- [4] Số tín chỉ: 1[0.1.1]  
Phân bổ thời gian:  
+ Thực tập/Thí nghiệm/Thực hành (30 tiết/tín chỉ): ----- 30 tiết  
+ Tự học, tự nghiên cứu: ----- 15 tiết
- [5] Yêu cầu của môn học về phòng học, trang thiết bị cần thiết để giảng dạy:  
+ Phòng học: Phòng máy vi tính hoặc phòng thí nghiệm  
+ Phòng thí: Phòng máy vi tính hoặc phòng thí nghiệm  
+ Tổ chức thi: Phòng Đào tạo tổ chức  Khoa/Ban tổ chức   
+ Trang thiết bị cần thiết: Bảng, máy chiếu, micro  
+ Yêu cầu đặc biệt khác: Không
- [6] Các môn học liên quan (nếu có):  
+ Môn học tiên quyết: Không  
+ Môn học trước: Kỹ thuật số  
+ Môn học song hành: Thiết kế số với HDL  
+ Môn học sau: Không

### 2. Thông tin về đơn vị phụ trách chuyên môn, giảng viên giảng dạy:

- [1] Khoa/Ban: Khoa Điện - Điện tử  
Tổ bộ môn:

- [2] Giảng viên biên soạn đề cương:

- + Họ tên: Tống Văn On  
+ Học hàm – Học vị: Giảng viên chính - Thạc sĩ  
+ Địa chỉ cơ quan: 180 Cao Lỗ, Phường 4, Quận 8, TP. Hồ Chí Minh  
+ Điện thoại liên hệ: 08 38505520  
+ Hộp thư điện tử: on.tongvan@stu.edu.vn

- [3] Giảng viên phụ trách giảng dạy: -----  
+ Học hàm – Học vị: -----  
+ Địa chỉ cơ quan: -----  
+ Điện thoại liên hệ: -----  
+ Hộp thư điện tử (email): -----  
+ Thời gian và địa điểm làm việc: -----

- [4] Giảng viên trợ giảng: -----  
 + Học hàm – Học vị: -----  
 + Địa chỉ cơ quan: -----  
 + Điện thoại liên hệ: -----  
 + Hộp thư điện tử (email): -----  
 + Thời gian và địa điểm làm việc: -----

[5] Cách liên lạc với giảng viên: Điện thoại; email

### 3. Mô tả tóm tắt nội dung môn học:

Nội dung của môn học cung cấp kiến thức về ngôn ngữ mô tả phân cứng HDL và cách thức sử dụng HDL để mô tả các thiết kế mạch tổ hợp, mạch tuần tự, máy trạng thái FSM và ASM.

### 4. Mục tiêu và kết quả dự kiến của môn học (CĐR)

[1] Mục tiêu của môn học:

Sinh viên sử dụng được ngôn ngữ mô tả phân cứng HDL để mô tả các thiết kế mạch tổ hợp, mạch tuần tự, máy trạng thái FSM và ASM.

[2] Chuẩn đầu ra môn học (CĐR):

- + CĐRa1: Hiểu được các kit phát triển và phần mềm thiết kế vi mạch của Altera hoặc Xilinx
- + CĐRb1: Sử dụng ngôn ngữ mô tả phân cứng HDL để giải quyết các vấn đề mang tính kỹ thuật trong lĩnh vực kỹ thuật máy tính.
- + CĐRb2: Có kỹ năng debug, trình bày bảng biểu và viết báo cáo
- + CĐRc1: Nghiêm túc học tập

### 5. Quan hệ giữa chuẩn đầu ra môn học (CĐR môn học) và chuẩn đầu ra chương trình đào tạo (CĐR CTĐT):

[1] Ma trận tích hợp giữa CĐR môn học và CĐR CTĐT:

Chuẩn đầu ra Chương trình đào tạo	Chuẩn đầu ra môn học			
	CĐRa1	CĐRb1	CĐRb2	CĐRc1
<i>CĐR_A.01</i>				
<i>CĐR_A.02</i>				
<i>CĐR_A.03</i>				
<i>CĐR_A.04</i>				
<i>CĐR_A.05</i>	X			
<i>CĐR_B.01</i>		X	X	
<i>CĐR_B.02</i>				
<i>CĐR_B.03</i>		X	X	
<i>CĐR_B.04</i>				
<i>CĐR_B.05</i>				X
<i>CĐR_B.06</i>				
<i>CĐR_C.01</i>				
<i>CĐR_C.02</i>				
<i>CĐR_C.03</i>				

[2] Quan hệ giữa CDR môn học và CDR CTĐT:

CDR môn học	Các hoạt động dạy và học (theo từng phần, chương, ...)	Phương pháp kiểm tra đánh giá (quá trình, giữa kỳ, cuối kỳ)		CDR CTĐT
		Phương pháp	Tỷ trọng	
CDRa1	- Tất cả các bài thực hành	- Kết quả thực hành	10%	CDR_A.05
CDRb1	- Tất cả các bài thực hành	- Kết quả thực hành	40%	CDR_B.01, CDR_B.03
CDRb2	- Tất cả các bài thực hành	- Kết quả thực hành	40%	CDR_B.01, CDR_B.03
CDRc1	- Tất cả các bài thực hành	- Thái độ học tập	10%	CDR_C.01

**6. Giáo trình và tư liệu:**

Tài liệu tham khảo chính:

- [1] Digital System Design with FPGA – Implementation Using Verilog and VHDL – Cem Unsalan & Bora Tar – Mac Graw Hill Education, 2017.
- [2] Introduction to Logic Circuits & Logic Design with VHDL – Brock J. LaMeres – Springer, 2017.
- [3] A Tutorial Introduction to VHDL programming – Orhan Gazi – Springer, 2019.
- [4] ASIC lập trình được – Tống Văn On, Nhà xuất bản Thống kê, Nhà sách Minh Khai, 2004.
- [5] Lập trình ASIC – Tống Văn On, Nhà xuất bản Thống kê, Nhà sách Minh Khai, 2005.
- [6] Thiết kế mạch số với VHDL và Verilog – Tập 1, 2 – Tống Văn On, Nhà xuất bản Lao động và Xã hội, Nhà sách Minh Khai, 2006 & 2007.

**7. Phương thức đánh giá môn học:**

- [1] Yêu cầu chung của môn học theo quy chế:
  - + Sinh viên tham dự lớp học đầy đủ, tham gia thảo luận xây dựng bài trên lớp và chuẩn bị bài tập kỹ năng ở nhà để tự củng cố kiến thức cho bản thân;
  - + Sinh viên nghiêm túc thực hiện các yêu cầu của giảng viên đối với môn học;
  - + Sinh viên nghiêm túc thực hiện bài kiểm tra giữa kỳ và bài thi kết thúc môn học;
  - + Sinh viên vi phạm quy chế thi sẽ bị xử lý theo quy định.
- [2] Để hoàn tất môn học, sinh viên phải “đạt”:
  - + Điểm tổng kết môn học  $\geq 5,0$  (năm) điểm theo thang điểm 10,0 (mười);
  - + Thực hiện đầy đủ các yêu cầu đánh giá môn học theo trọng số (%) của các điểm thành phần như sau:
    - Điểm quá trình: ----- chiếm 50 % (a)
    - Điểm kiểm tra giữa kỳ: ----- chiếm 00 % (b)
    - Điểm thi cuối kỳ: ----- chiếm 50 % (c)
    - Điểm tổng kết môn học: ----- (a) + (b) + (c) = 100%
  - + Xếp loại đánh giá của môn học: Theo thang điểm 10,0 điểm

Xếp loại	Thang điểm 10,0 điểm		Đáp ứng chuẩn đầu ra môn học
	Từ	Đến	
<b>Loại đạt</b>			<i>Đạt CDR môn học theo cấp độ</i>
- Xuất sắc	09,0	10,0	
- Giỏi	08,0	< 09,0	
- Khá	07,0	< 08,0	
- Trung bình	06,0	< 07,0	
	05,5	< 06,0	
- Trung bình kém	05,0	< 05,5	

Xếp loại	Thang điểm 10,0 điểm		Đáp ứng chuẩn đầu ra môn học
	Từ	Đến	
Loại không đạt			Chưa đạt CĐR môn học, phải học lại
- Yếu	04,0	< 05,0	
- Kém	03,0	< 04,0	
	00,0	< 03,0	

[3] Hình thức, nội dung, thời lượng và tiêu chí chấm điểm của các bài thi:

+ Bài thi cuối kỳ:

- Hình thức thi cuối kỳ: ----- Thực hành

- Thời lượng: ----- 60 phút

Nội dung môn học	Câu hỏi/Nội dung đánh giá	Mức độ đạt của nội dung đánh giá			Điểm
		Bài tập cơ sở	Bài tập vận dụng	Bài tập nâng cao	
		Câu hỏi	Câu hỏi	Câu hỏi	
	Bốc thăm chọn bài, tiến hành thực hành, viết báo cáo theo mẫu, trả lời câu hỏi	4,0	5,0	1,0	10,0
<b>Tổng</b>		4,0	5,0	1,0	10,0

[4] Tiêu chí đánh giá/chấm điểm cụ thể:

+ Tiêu chí chấm điểm đối với một câu hỏi thi thực hành:

Tiêu chí chấm điểm một câu hỏi	Kết quả	Trọng số
- Khả năng ứng dụng phân lý thuyết để lập sơ đồ logic, viết chương trình, biên dịch, tổng hợp, mô phỏng và nạp kit phát triển.	Đúng yêu cầu bài thi	60%
- Tên biến, ngõ vào, ngõ ra có ý nghĩa, cấu trúc chương trình rõ ràng		20%
- Trả lời câu hỏi		20%
		100%

## 8. Nội dung môn học (đề cương chi tiết của môn học):

### Bài 1: Giới thiệu kit phát triển (TD: kit DE2), phần mềm thiết kế (TD: Quartus II)

1.1. Mô tả kit phát triển (development kit) và các thành phần.

1.2. Phần mềm thiết kế (mô tả các thao tác: tạo project, chọn HDL, lưu file, gán chân, biên dịch, xem thiết kế mức công, nạp kit, kiểm tra kết quả bằng switch (SW) và đèn LED, tạo dạng sóng (tín hiệu xung, mức logic), mô phỏng, xem kết quả, ..).

### Bài 2: Thiết kế công logic và thực hiện hàm

2.1. Công AND, OR, NAND, NOR, XOR, XNOR (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

2.2. Thực hiện hàm logic F theo 4 biến trước và sau khi rút gọn (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

### Bài 3: Thiết kế mạch tổ hợp 1

3.1. Mạch ghép kênh (hay chọn kênh) MUX 4 → 1 (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

3.2. Mạch ghép kênh (hay chọn kênh) 16 → 1 sử dụng các MUX 4 → 1 (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

- 3.3. Mạch cộng/trừ 4 bit (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 4: Thiết kế mạch tổ hợp 2**

- 4.1. Mạch mã hóa ưu tiên  $8 \rightarrow 3$  (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 4.2. Mạch giải mã  $3 \rightarrow 8$  có ngõ vào điều khiển (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 4.3. Mạch giải mã BCD  $\rightarrow 7$  đoạn (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 5: Thiết kế bộ đếm nối tiếp (không đồng bộ)**

- 5.1. Bộ đếm nối tiếp 4 bit: đếm 16, đếm lên/xuống, nhập dữ liệu trước khi đếm (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 5.2. Bộ đếm nối tiếp 4 bit đếm 10 đếm lên (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 6: Thiết kế bộ đếm song song (đồng bộ)**

- 6.1. Bộ đếm song song 4 bit: đếm 16, đếm lên/xuống, nhập dữ liệu trước khi đếm (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 6.2. Bộ đếm song song 4 bit đếm 10 đếm lên (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 7: Thiết kế thanh ghi dịch bit**

- 7.1. Thanh ghi dịch 4 bit: dịch trái/phải, nhập/xuất dữ liệu song song (mô hình hành vi và mô hình cấu trúc)  
(Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 8: Thiết kế mạch đếm và hiển thị số**

- 8.1. Mạch đếm 10 đếm lên/xuống và hiển thị số đếm lên đèn LED 7 đoạn (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 8.2. Mạch cộng/trừ hai số nhị phân 4 bit và hiển thị kết quả lên đèn LED 7 đoạn (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**Bài 9: Thiết kế máy trạng thái**

- 9.1. Máy trạng thái loại Moore (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).
- 9.2. Máy trạng thái loại Mealy (Sơ đồ logic, mã VHDL, kết quả biên dịch và nhận xét, kết quả tổng hợp mức công và nhận xét, kết quả giản đồ xung và nhận xét, kết quả sau khi nạp kit phát triển và nhận xét).

**9. Hình thức tổ chức dạy học:**

- [1] Hình thức tổ chức giảng dạy môn học:

Nội dung	Hình thức tổ chức giảng dạy môn học				Tổng cộng	
	Giờ lên lớp			Thực hành		Tự học/ nghiên cứu
	Lý thuyết	Bài tập	Thảo luận			
Bài 1				3	1.5	4.5
Bài 2				3	1.5	4.5
Bài 3				3	1.5	4.5
Bài 4				3	1.5	4.5
Bài 5				3	1.5	4.5
Bài 6				3	1.5	4.5
Bài 7				3	1.5	4.5
Bài 8				3	1.5	4.5
Bài 9				3	1.5	4.5
Kiểm tra				3	1.5	4.5
Tổng				30	15	45

[2] Kế hoạch giảng dạy và học tập cụ thể:

Tuần	Tiết học	Nội dung chính	Yêu cầu sinh viên chuẩn bị	Hình thức tổ chức giảng dạy	Tài liệu tham khảo
Tuần 1	3 tiết	- Bài 1	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 2	3 tiết	- Bài 2	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 3	3 tiết	- Bài 3	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 4	3 tiết	- Bài 4	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 5	3 tiết	- Bài 5	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 6	3 tiết	- Bài 6	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 7	3 tiết	- Bài 7	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 8	3 tiết	- Bài 8	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 9	3 tiết	- Bài 9	- Chuẩn bị sơ đồ logic và mã VHDL	- Sinh viên thực hành trên phòng máy vi tính hoặc phòng thí nghiệm	- [3], [6]
Tuần 10	3 tiết	- Kiểm tra cuối kỳ	- Ôn tập trước khi kiểm tra	- Kiểm tra trên máy vi tính hoặc phòng thí nghiệm	- [3], [6]

10. Đề cương được biên soạn và cập nhật ngày:-----22/07/2021

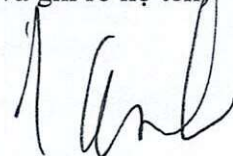
11. Đề cương được thẩm định và thông qua ngày:-----12/08/2021

Giảng viên biên soạn  
(Ký và ghi rõ họ tên)



THS. Tổng Văn On

Trưởng Khoa/Ban chuyên môn  
(Ký và ghi rõ họ tên)



TS. Tăng Văn Tô